

#4

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#5/priority
paper
DEAN'S
5.14.02

In re application of

Masamoto TAGO

Appln. No.: 09/998,243

Group Art Unit: 2812

Confirmation No.: 6291

Examiner: Unassigned

Filed: December 03, 2001

For: COMPACT SEMICONDUCTOR DEVICE CAPABLE OF MOUNTING A PLURALITY
OF SEMICONDUCTOR CHIPS WITH HIGH DENSITY AND METHOD OF
MANUFACTURING THE SAME

SUBMISSION OF PRIORITY DOCUMENT

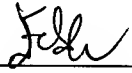
Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to
priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to
acknowledge receipt of said priority document.

Respectfully submitted,

SUGHRUE MION, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860



J. Frank Osha
Registration No. 24,625

Enclosures: Japan 2000-366900

Date: February 15, 2002



本 国 特 許 庁
JAPAN PATENT OFFICE

M. TAGO

09/998,243

Filed 12/3/01

467536

10f/

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 1日

出 願 番 号

Application Number:

特願2000-366900

出 願 人

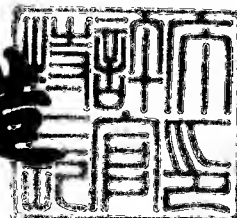
Applicant(s):

日本電気株式会社

2001年10月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3090373

【書類名】 特許願

【整理番号】 35600023

【提出日】 平成12年12月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065
H01L 25/07
H01L 25/18

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 田子 雅基

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100114672

【弁理士】

【氏名又は名称】 宮本 恵司

【電話番号】 042-730-6520

【手数料の表示】

【予納台帳番号】 093404

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004232

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

外部と接続する接続端子を有する第 1 のチップの前記接続端子形成面と同一面に、第 2 のチップがバンプを介して実装されてなる半導体装置において、

前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低く設定されていることを特徴とする半導体装置。

【請求項 2】

外部と接続する接続端子を有する第 1 のチップに第 2 のチップが実装されてなる半導体装置において、

前記第 1 のチップの実装面に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層が配設され、前記再配線層には、前記接続端子と、バンプを介して実装される前記第 2 のチップとが同一面内に配設され、

前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップが薄く加工されていることを特徴とする半導体装置。

【請求項 3】

外部と接続する接続端子を有する第 1 のチップに第 2 のチップが実装されてなる半導体装置において、

前記第 1 のチップの実装面に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層と、前記再配線を覆い、前記接続端子形成領域及び前記第 2 のチップ実装領域に所定の開口を有する絶縁層と、前記開口に設けた下地電極とを有し、前記接続端子形成領域の前記下地電極には B G A からなる接続端子が形成され、前記第 2 のチップ実装領域の前記下地電極にはバンプを介して前記第 2 のチップがフリップチップ接続され、

前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップが薄く加工されていることを特徴とする半導体装置。

【請求項 4】

前記再配線層上に配設される前記絶縁層が、前記接続端子形成領域と前記第 2 のチップの実装領域とで、弾性特性の異なる樹脂により形成されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記接続端子形成領域に設けられる前記下地電極と前記第 2 のチップ実装領域に設けられる前記下地電極とが、同一工程で配設された同一材料で形成されていることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 6】

前記接続端子形成領域に設けられる前記下地電極と前記第 2 のチップ実装領域に設けられる前記下地電極とが、異なる材料で形成されていることを特徴とする請求項 3 又は 4 に記載の半導体装置。

【請求項 7】

前記下地電極の上に、該下地電極と異なる材料を含む膜が積層されていることを特徴とする請求項 5 又は 6 に記載の半導体装置。

【請求項 8】

前記第 2 のチップの実装面と反対側の面に、所定の高さの突起を備え、前記第 1 のチップの実装面に対して、前記接続端子と前記第 2 のチップ上の前記突起とが略等しい高さとなるように前記突起の高さが設定されることを特徴とする請求項 1 乃至 7 のいずれか一に記載の半導体装置。

【請求項 9】

前記突起が、金属材料、導電性樹脂又は絶縁性樹脂のいずれかにより形成されていることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

前記第 2 のチップの前記バンプ接合面が樹脂により封止されていることを特徴とする請求項 1 乃至 9 のいずれか一に記載の半導体装置。

【請求項 11】

前記第 1 のチップの前記接続端子形成領域の前記下地電極上に、該下地電極まで貫通するビアホールを有する樹脂層が設けられ、前記ビアホール内部に埋設さ

れた導体により、前記接続端子と前記下地電極とが接続されていることを特徴とする請求項 3 乃至 1 0 のいずれか一に記載の半導体装置。

【請求項 1 2】

前記第 1 のチップ又は前記第 2 のチップが、半導体チップ、機能デバイスまたは電子部品のいずれかにより構成されることを特徴とする請求項 1 乃至 1 1 のいずれか一に記載の半導体装置。

【請求項 1 3】

前記第 2 のチップが、半導体チップ、機能デバイスまたは電子部品を組み合わせた複数のチップにより構成されることを特徴とする請求項 1 乃至 1 2 のいずれか一に記載の半導体装置。

【請求項 1 4】

前記第 2 のチップが、研削、研磨、ウェットエッチング又はドライエッチングの少なくとも一の手法を用いて薄く加工されていることを特徴とする請求項 2 乃至 1 3 のいずれか一に記載の半導体装置。

【請求項 1 5】

外部と接続する接続端子を有する第 1 のチップの前記接続端子形成面と同一面に、第 2 のチップを bumps を介して実装する半導体装置の製造方法において、

前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップを薄く加工する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】

外部と接続する接続端子を形成する領域と第 2 のチップを実装する領域とが設けられた第 1 のチップが複数形成された第 1 のウェハ上に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層を形成する工程と、前記再配線層上に絶縁層を堆積し、前記接続端子形成領域及び前記第 2 のチップ実装領域の所定の位置に開口を形成する工程と、前記開口部に下地電極を形成する工程と、第 2 のウェハに対して、各々の前記第 2 のチップに bumps を形成する処理と前記第 2 のウェハをダイシングして前記第 2 のチップに分割する処理とを任意の順序で行う工程と、前記第 2 のチップを、前記第 1 のウェハ上の各々の前

記第 1 のチップに順次に位置決めしてフリップチップ接合する工程と、前記第 2 のチップの bumps 接合面を樹脂封止する工程と、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップの裏面を薄く加工する工程と、前記第 1 のウェハ上の各々の前記第 1 のチップに BGA からなる接続端子を形成する工程と、前記第 1 のウェハをダイシングして個片に分割する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 17】

外部と接続する接続端子を形成する領域と第 2 のチップを実装する領域とが設けられた第 1 のチップが複数形成された第 1 のウェハ上に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層を形成する工程と、前記再配線層上に絶縁層を堆積し、前記接続端子形成領域及び前記第 2 のチップ実装領域の所定の位置に開口を形成する工程と、前記開口部に下地電極を形成する工程と、第 2 のウェハに対して、各々の前記第 2 のチップに bumps を形成する処理と、実装後において、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のウェハの裏面を薄く加工する処理と、前記第 2 のウェハをダイシングして前記第 2 のチップに分割する処理とを任意の順序で行う工程と、前記第 2 のチップを、前記第 1 のウェハ上の各々の前記第 1 のチップに順次に位置決めしてフリップチップ接合する工程と、前記第 2 のチップの bumps 接合面を樹脂封止する工程と、前記第 1 のウェハ上の各々の前記第 1 のチップに BGA からなる接続端子を形成する工程と、前記第 1 のウェハをダイシングして個片に分割する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 18】

前記第 2 のチップの裏面を薄く加工する工程後に、前記第 2 のチップの裏面に所定の高さの突起を形成する工程を備え、該突起は、前記第 1 のチップの実装面に対して、前記接続端子と前記突起とが略等しい高さとなるように形成されることを特徴とする請求項 16 記載の半導体装置の製造方法。

【請求項 19】

前記第 2 のチップを樹脂封止する工程後に、前記第 2 のチップの裏面に所定の高さの突起を形成する工程を備え、該突起は、前記第 1 のチップの実装面に対して、前記接続端子と前記突起とが略等しい高さとなるように形成されることを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 2 0】

前記第 1 のウェハ上に前記接続端子を形成する工程の前に、前記接続端子形成領域の前記下地電極上にビアを形成する工程を備えたことを特徴とする請求項 1 6 乃至 1 9 のいずれかに記載の半導体装置の製造方法。

【請求項 2 1】

前記第 2 のチップを薄く加工する工程が、研削、研磨、ウェットエッチング又はドライエッチングの少なくとも一の工程を含むことを特徴とする請求項 1 5 乃至 2 0 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に関し、特に、複数の半導体チップを高密度に積層してなる半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体パッケージおよび半導体チップの実装に関しては、実装面積、容積の小型化、高密度化、また、コストの低減が重要な要素の一つとなっている。この目的のために、半導体チップは微細化が進められ、これらを実装する手法として、複数の半導体チップをセラミック配線基板や、シリコン配線基板またはプリント配線基板上にワイヤボンディングもしくはフリップチップ実装するというマルチチップモジュール（以下、MCM）手法が用いられている。

【0 0 0 3】

このMCM手法について図 7 を参照して説明する。まず、図 7 に示すように、従来のMCMは、シリコン基板 1 5 上にハンダバンプ 1 7 によって L S I チップ等の半導体チップ 1 6 が平面的に固定、接続され、シリコン基板 1 5 は更に実装

基板 1 4 に接着剤 2 0 によって固定されている。また、シリコン基板 1 5 上には所定の配線パターンが形成されており、シリコン基板 1 5 の外部接続端子 1 8 と実装基板 1 4 のボンディングパッドとがボンディングワイヤ 1 9 で接続され、半導体チップ 1 6 の信号はハンダバンプ 1 7、シリコン基板 1 5 上の配線パターン及びボンディングワイヤ 1 9 を介して外部に伝達される。

【 0 0 0 4 】

また、従来の MCM の他の形態として、図 8 に示す構造のものもある。この MCM は、基板 2 1 上にハンダバンプ 1 7 を介して半導体チップ 1 6 が平面的に固定、接続され、バンプ接合面は信頼性を向上させるために封止樹脂 2 2 によって封止されている。そして、この基板 2 1 には半導体チップ 1 6 の実装面と反対側の面に外部接続端子 1 8 が形成され、基板 2 1 の内部に立体的に形成された内部配線 2 3 によって半導体チップ 1 6 と外部接続端子 1 8 とを接続している。

【 0 0 0 5 】

また、複数の半導体チップを実装する他の方法として、マルチチップパッケージ（以下 MCP）手法と呼ばれるものがあり、この手法は寸法の異なる複数のチップを立体的に積層し、ワイヤボンディングによって電氣的に接続するものである。この従来の MCP について、図 9 を参照して説明すると、基板 2 1 上にサイズの大きい半導体チップ 1 6 a が絶縁ペーストにより固定されており、半導体チップ 1 6 a の上には、更にサイズの小さい半導体チップ 1 6 b が同様に絶縁ペーストにより固定されている。そして、各々の半導体チップ 1 6 a、1 6 b の電極端子と基板上の端子とはボンディングワイヤ 1 9 により接続されており、電気信号は基板の他面に設けた外部接続端子 1 8 を介して外部に伝達される。また、立体的に結線したボンディングワイヤ 1 9 の切断を防止し、信頼性を向上させるために半導体チップ 1 6 a、1 6 b はモールド樹脂 2 4 により固定されている。

【 0 0 0 6 】

この従来の MCP の製造方法について、図 1 0 を参照して説明すると、まず、ウェハ 1 及びウェハ 2 にそれぞれ半導体チップ 1 6 a、1 6 b 作り込んだ後、ウェハ 1、2 を所望の厚さとなるように各々裏面研磨し（S 3 0 1、S 3 0 3）、ダイシングによってウェハを分割して半導体チップを得る（S 3 0 2、S 3 0 4

）。その後、半導体チップ16a及び半導体チップ16bを絶縁ペーストにより基板21にマウントし（S305）、各々の半導体チップ16a、16bの端子と基板21の端子とをボンディングワイヤ19により接続し（S306）、モールド樹脂24で封止した後（S307）、外部接続端子18を形成することにより（S308）、MCPが完成する。

【0007】

【発明が解決しようとする課題】

MCMやMCPのような、異なる機能デバイスを複合化し、システム化できるパッケージは、機能デバイスの製造プロセスが異なるため1つの半導体チップに集積化することがコストや技術的課題によって困難な半導体素子に用いられるものであるが、これらには以下に示す問題点がある。

【0008】

まず、従来のMCMに関しては、半導体チップ16を固定する基板として低コストのプリント配線板を使用した場合には、高精度な加工を実施することが困難であり、微細ピッチの半導体チップ16を搭載する基板を低コストで製造することができない。また、シリコン基板15を使用した場合には、貫通のビアホールを形成することができないため、外部接続端子18をボールグリットアレイ（BGA）タイプにすることができず、ワイヤボンディングにより外部との接続を行わなければならない。従って、小型化という点で問題があり、また、シリコン基板15自体の製造コストが高くなってしまう。

【0009】

また、これらのMCMパッケージは、半導体チップ16を平面的に配置し、配線基板上で互いに接続するため、実装面積としては少なくとも搭載する半導体チップ16の面積の和とそれらを接続する配線エリアとが必要であり、必ずしも小型化、高密度化に適してはおらず、更に、配線長が長くなるために信号の遅延が生じ、所望の高速動作特性を得ることが難しいという問題がある。

【0010】

一方、半導体チップを立体的に積層するMCPの場合には、MCMに比べて実装面積を小さくすることができるが、半導体チップ16a、16bを立体的に積

層してワイヤボンディングにより結線するため、パッケージ全体として厚みが増し、実装容積が増加してしまい、必ずしも高密度化には適していない。また、各々の半導体チップ16a、16bをボンディングワイヤ19で接続するため、ワイヤが長くなってしまい、寄生容量や配線抵抗により動作速度遅延が発生してしまうという問題が発生する。

【0011】

更に、MCPの製造方法においては、小型、高密度化するために半導体チップ16a、16bを薄く加工し、絶縁ペーストなどで基板21に実装し、ワイヤボンディングしているが、半導体チップ16a、16bを薄く加工するため、ダイシングした後の工程で半導体チップ16a、16bのハンドリングが困難であり、更に、薄く加工した半導体チップ16a、16bは剛性が低く、反りやうねりがペーストによる実装後に現れるため、その後のワイヤボンディング時に積層した半導体チップ16a、16bが破壊されてしまうという問題もある。

【0012】

本発明は、上記問題点に鑑みてなされたものであって、その目的の一つは、複数の半導体チップを小型でかつ高密度に実装し、電氣的に最短な配線長で結線することができる半導体装置及びその製造方法を提供することにある。

【0013】

また、本発明の第2の目的は、資材コスト、製造コストの上昇を抑制し、微細化された半導体チップの実装を確実に行うことができる半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明は、外部と接続する接続端子を有する第1のチップの前記接続端子形成面と同一面に、第2のチップが bumps を介して実装されてなる半導体装置において、前記第1のチップの実装面に対して、前記第2のチップの高さが前記接続端子よりも低く設定されているものである。

【0015】

また、本発明は、外部と接続する接続端子を有する第1のチップに第2のチッ

ブが実装されてなる半導体装置において、前記第 1 のチップの実装面に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層が配設され、前記再配線層には、前記接続端子と、バンプを介して実装される前記第 2 のチップとが同一面内に配設され、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップが薄く加工されているものである。

【 0 0 1 6 】

また、本発明は、外部と接続する接続端子を有する第 1 のチップに第 2 のチップが実装されてなる半導体装置において、前記第 1 のチップの実装面に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に接続する再配線層と、前記再配線を覆い、前記接続端子形成領域及び前記第 2 のチップ実装領域に所定の開口を有する絶縁層と、前記開口に設けた下地電極とを有し、前記接続端子形成領域の前記下地電極には B G A からなる接続端子が形成され、前記第 2 のチップ実装領域の前記下地電極にはバンプを介して前記第 2 のチップがフリップチップ接続され、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップが薄く加工されているものである。

【 0 0 1 7 】

本発明においては、前記第 1 のチップの前記接続端子形成領域の前記下地電極上に、該下地電極まで貫通するビアホールを有する樹脂層が設けられ、前記ビアホール内部に埋設された導体により、前記接続端子と前記下地電極とが接続されている構成とすることもできる。

【 0 0 1 8 】

また、本発明においては、前記第 2 のチップの実装面と反対側の面に、所定の高さの突起を備え、前記第 1 のチップの実装面に対して、前記接続端子と前記第 2 のチップ上の前記突起とが略等しい高さとなるように前記突起の高さが設定される構成とすることができる。

【 0 0 1 9 】

本発明の製造方法は、外部と接続する接続端子を有する第 1 のチップの前記接

続端子形成面と同一面に、第 2 のチップを bumps を介して実装する半導体装置の製造方法において、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップを薄く加工する工程を含むものである。

【 0 0 2 0 】

また、本発明の製造方法は、外部と接続する接続端子を形成する領域と第 2 のチップを実装する領域とが設けられた第 1 のチップが複数形成された第 1 のウェハ上に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層を形成する工程と、前記再配線層上に絶縁層を堆積し、前記接続端子形成領域及び前記第 2 のチップ実装領域の所定の位置に開口を形成する工程と、前記開口部に下地電極を形成する工程と、第 2 のウェハに対して、各々の前記第 2 のチップに bumps を形成する処理と前記第 2 のウェハをダイシングして前記第 2 のチップに分割する処理とを任意の順序で行う工程と、前記第 2 のチップを、前記第 1 のウェハ上の各々の前記第 1 のチップに順次に位置決めしてフリップチップ接合する工程と、前記第 2 のチップの bumps 接合面を樹脂封止する工程と、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前記第 2 のチップの裏面を薄く加工する工程と、前記第 1 のウェハ上の各々の前記第 1 のチップに BGA からなる接続端子を形成する工程と、前記第 1 のウェハをダイシングして個片に分割する工程と、を少なくとも有するものである。

【 0 0 2 1 】

また、本発明の製造方法は、外部と接続する接続端子を形成する領域と第 2 のチップを実装する領域とが設けられた第 1 のチップが複数形成された第 1 のウェハ上に、前記第 1 のチップと前記第 2 のチップと前記接続端子とを相互に配線する再配線層を形成する工程と、前記再配線層上に絶縁層を堆積し、前記接続端子形成領域及び前記第 2 のチップ実装領域の所定の位置に開口を形成する工程と、前記開口部に下地電極を形成する工程と、第 2 のウェハに対して、各々の前記第 2 のチップに bumps を形成する処理と、実装後において、前記第 1 のチップの実装面に対して、前記第 2 のチップの高さが前記接続端子よりも低くなるように、前

記第 2 のウェハの裏面を薄く加工する処理と、前記第 2 のウェハをダイシングして前記第 2 のチップに分割する処理とを任意の順序で行う工程と、前記第 2 のチップを、前記第 1 のウェハ上の各々の前記第 1 のチップに順次に位置決めしてフリップチップ接合する工程と、前記第 2 のチップの bumps 接合面を樹脂封止する工程と、前記第 1 のウェハ上の各々の前記第 1 のチップに BGA からなる接続端子を形成する工程と、前記第 1 のウェハをダイシングして個片に分割する工程と、を少なくとも有するものである。

【0022】

このように、本発明は上記構成により、薄く加工された第 2 のチップは曲げ応力に対して高い耐性を持つため、第 1 のチップに実装した際に、小型、高密度化を実現し、信頼性を向上させることができる。さらに、配線長を短くすることができ、高速動作が可能なパッケージを実現することができる。

【0023】

【発明の実施の形態】

本発明に係る半導体装置は、その好ましい一実施の形態において、半導体チップ 1 a 上に、半導体チップ 1 a と半導体チップ 1 b と外部接続端子 4 とを相互に配線する再配線 3 が形成され、再配線 3 上には、半導体チップ 1 a 周囲の外部接続端子 4 形成領域及び半導体チップ 1 a 中央の半導体チップ 1 b 実装領域に開口を有する絶縁樹脂 6 が設けられ、外部接続端子 4 形成領域の開口にはランド 5 を介して BGA からなる外部接続端子 4 が形成され、半導体チップ 1 b の実装領域の開口には電極 1 1 及び bumps 8 を介して半導体チップ 1 b がフリップチップ接続され、bumps 8 接合面は封止樹脂 7 により封止されるものであり、半導体チップ 1 b は、外部接続端子 4 と同一面に実装され、かつ、外部接続端子 4 よりも低くなるように裏面が研削され、高密度に実装される。

【0024】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について、図面を参照して以下に説明する。

【0025】

〔実施例 1〕

まず、本発明の第 1 の実施例に係る半導体装置について、図 1 及び図 2 を参照して説明する。図 1 及び図 2 は、本実施例の半導体装置の構造を模式的に示す断面図である。

【 0 0 2 6 】

図 1 に示すように、本実施例の半導体装置を構成する半導体チップ 1 a には、半導体チップ 1 a と外部接続端子 4 との接続、半導体チップ 1 a と半導体チップ 1 b との接続、半導体チップ 1 b と外部接続端子 4 との接続、および半導体チップ 1 a と半導体チップ 1 b と外部接続端子 4 との相互接続がなされる再配線 3 が形成され、この再配線 3 は所定の開口を有する絶縁樹脂 6 により絶縁され、半導体チップ 1 a 周囲の開口部にはランド 5 を介して BGA からなる外部接続端子 4 が形成され、また、中央部には電極 1 1 を介してバンブ 8 によって半導体チップ 1 b が実装されている。そしてランド 5 には BGA からなる外部接続端子 4 が形成されている。また、半導体チップ 1 b は、外部接続端子 4 の高さより十分低くなるように薄く加工され、バンブ 8 の接合面は封止樹脂 7 により封止されている。

【 0 0 2 7 】

ここで、本実施例では、半導体チップ 1 a として、通常の未研削ウェハとして用いられている厚さ $625\mu\text{m}$ 程度のウェハを使用し、半導体チップ 1 b は $100\mu\text{m}$ 程度の厚さとしている。この半導体チップ 1 b の厚さは、温度サイクルによって発生する半導体チップ 1 a の反りに対してバンブ接続部や封止樹脂層の応力を緩和するように反りが倣うため、薄ければ薄いほど好ましく、半導体チップ 1 a に貼り合わせた状態で外部接続端子 4 よりも低くなる範囲で $50\mu\text{m}$ 、 $30\mu\text{m}$ 等の任意の厚さに設定することができる。また、研削が可能で半導体チップ 1 b の特性を損なわなければ $10\mu\text{m}$ 程度の厚さにしてもよい。また、半導体チップ 1 a の厚さについても $625\mu\text{m}$ に限らず、半導体チップ 1 a のハンドリング、強度等を勘案して任意の厚さに設定することができ、例えば、研削を施した $500\mu\text{m}$ 、 $400\mu\text{m}$ 等の厚さであっても良い。

【 0 0 2 8 】

また、半導体チップ 1 a、1 b を貼り合わせた半導体装置とマザーボードとの接続強度、放熱効果等を更に高めるためには、図 2 に示すように、薄く加工した半導体チップ 1 b の裏面に突起 1 2 を複数配置する構造とすることもできる。この突起 1 2 は、外部接続端子 4 と同じ高さとなるように調整されて、マザーボードへの実装時には外部接続端子 4 と同様にマザーボードに接触する。

【 0 0 2 9 】

この突起 1 2 によって、図 1 の構造の半導体装置よりも、半導体チップ 1 b が発生する熱量を放熱する効果を高め、グランド電位を強化すると共に半導体装置をマザーボードに実装する際の接続補強の効果を発揮することができる。ここでは、突起 1 2 として外部接続端子 4 と同じ材質であるハンダを使用しているが、ハンダに代えて他の金属材料や導電性の樹脂材料を用いることもできる。また、絶縁性の樹脂を用いることもでき、この場合には、グランド電位の強化という効果は無いが、放熱効果と接続補強の効果は十分に得ることができる。これらは突起である必要はなく、用途に応じた形状、もしくは全面で接続しても効果を得ることができる。

【 0 0 3 0 】

上述した図 1 及び図 2 に示す半導体装置では、再配線 3 はアルミニウムもしくは銅を使用したウェハの配線プロセスを利用して形成することにより工程の複雑化を回避している。また、絶縁樹脂 6 はポリイミドもしくは低弾性率のエポキシ樹脂を使用し、電氣的に絶縁し、かつ耐熱性と耐湿性を付与している。また、封止樹脂 7 としては、半導体チップ 1 b の bumps 8 接合部を保護するため、膨張係数が bumps 8 や半導体チップと整合するエポキシ樹脂を使用することが好ましいが、接合部の強度が十分に保てる場合には絶縁樹脂 6 と同じ材料を用いることも可能である。

【 0 0 3 1 】

本実施例では、再配線 3 を覆う絶縁樹脂 6 は基板全面に均一に形成しているが、外部接続端子 4 の配置されるエリアと、半導体チップ 1 b を搭載するエリアとで材料特性の異なる絶縁樹脂を使用することもできる。例えば、外部接続端子 4 が配置されるエリアに、半導体チップ 1 b が実装されるエリアより弾性率の低い

絶縁樹脂を用いることもでき、この構成によりバンプ 8 や半導体チップ 1 b に加わる応力をより緩和することができる。

【 0 0 3 2 】

また、本実施例では、半導体チップ 1 b が実装される半導体チップ 1 a の所定位置にバンプ 8 接続のための電極 1 1 が形成されるが、この電極 1 1 は、外部接続端子 4 のランド 5 と同時に形成され、共に同じ材料であるニッケルに金メッキが被覆された電極を使用している。しかしながら、よりバンプ 8 との接合強度を高めたい場合や、この電極 1 1 上にハンダの被覆を施す場合には、電極 1 1 とランド 5 とは、異なる材料を用いても形成しても良い。

【 0 0 3 3 】

なお、本実施例では、半導体チップ 1 a に対して半導体チップ 1 b が中央に実装される場合について記載したが、本発明は上記実施例に限定されるものではなく、半導体チップと同等の機能を持つ 2 つ以上のチップ、もしくは異なる機能の 2 つ以上のチップを実装することもでき、実装する位置は任意に設定することができる。

【 0 0 3 4 】

〔実施例 2〕

次に、本発明の第 2 の実施例に係る半導体装置について、図 3 及び図 4 を参照して説明する。図 3 及び図 4 は、第 2 の実施例に係る半導体装置の一部の構造を模式的に示す拡大断面図である。なお、本実施例は、前記した第 1 の実施例に係る半導体装置のランド 5 及び電極 1 1 の構造を改良したものであり、他の部分の構造に関しては第 1 の実施例と同様である。

【 0 0 3 5 】

まず、図 3 に示す構造について説明すると、第 2 の実施例の半導体装置は、半導体チップ 1 a に再配線 3 を形成し、その上を絶縁樹脂 6 で覆い、絶縁樹脂 6 には外部接続端子 4 を形成する位置と、半導体チップ 1 b を実装するためのバンプ 8 に対応した位置に開口を設け、再配線 3 と外部接続端子 4 であるハンダバンプの双方と密着性が良好な材料によって、ランド 5 および電極 1 1 を一括して形成している。そして、電極 1 1 上には更に接合層 9 が形成され、半導体チップ 1 b

上に形成されたバンプ 8 との密着性を高めて半導体チップ 1 b を実装し、バンプ接合面は封止樹脂 7 により封止されている。

【 0 0 3 6 】

この接合層 9 とバンプ 8 の材料の組み合わせとしては、接合層 9 が金メッキでバンプ 8 が金メッキバンプ又は金スタッドバンプの組み合わせや、接合層 9 が錫または錫合金のハンダでバンプ 8 が金メッキバンプ、金スタッドバンプ、銅メッキバンプ又は銅メッキバンプに錫または錫合金を被覆したバンプなどの組み合わせが可能である。

【 0 0 3 7 】

また、電極 1 1 上には接合層 9 が形成されているが、ランド 5 を形成する材料がバンプ 8 との接合性にも優れている材料である場合には、接合層 9 は形成する必要がなく、その場合はさらにコストを低減することができる。また、接合層 9 を形成する場合は、半導体チップ 1 b としては通常のワイヤボンディングによる組立を実施する配線および電極構成のチップを使用することができるため、専用設計とする必要がなく、低コストでパッケージを設計製造することができるという利点もある。

【 0 0 3 8 】

また、半導体装置に生じる応力を緩和するために、図 4 に示すような構造を採用することもできる。この構造について説明すると、図 3 に示した半導体装置と同様に、半導体チップ 1 a 上に再配線 3 を形成し、再配線 3 を絶縁樹脂 6 で覆い、所定の位置に設けた開口部にランド 5 を形成する。そして、図 4 に示す構造では、更にランド 5 領域に絶縁樹脂 1 3 を所定の厚さで形成し、ランド 5 まで貫通するビアホールを設け、その内部を導体で埋設してビア 1 0 を形成する。このビア 1 0 は、その直径がランド 5 の直径の 2 分の 1 以下に細くすることでできるため、応力を緩和する効果があり、半導体装置の寿命を延ばすことができる。また、半導体チップ 1 b を薄くすることが困難な場合にも、ビア 1 0 により高さを調整することができるという効果もある。

【 0 0 3 9 】

例えば、本願発明者の実験によれば、外部接続端子 4 のピッチが 2 0 0 μ m 程

度の場合、ランド5の直径は $120\mu\text{m}$ から $100\mu\text{m}$ 程度となり、ビア10の直径を $50\mu\text{m}$ 程度とすることによって寿命が2倍以上に延びることをシミュレーションにより確認している。この場合、ビア10の絶縁を弾性率の低い絶縁樹脂13で行い保護することにより、その効果を得ることができる。

【0040】

上記説明では、ビア10の直径は $50\mu\text{m}$ 程度とし、ランド5の直径より細いものとしたが、ビア10の直径はランド5の直径に略等しいものを使用しても構わない。この場合には、ビア10と再配線3の接合強度が高くなければならず、さらに絶縁樹脂13の弾性率を半導体チップ1aの弾性率とほぼ同等にすることによって信頼性を維持することができる。

【0041】

〔実施例3〕

次に、本発明の第3の実施例に係る半導体装置の製造方法について、図5及び図6を参照して説明する。図5及び図6は、第3の実施例に係る半導体装置の製造方法を示すフロー図である。なお、本実施例は、前記した第1及び第2の実施例に係る半導体装置の製造方法について記載するものである。

【0042】

まず、図5を参照して、本実施例の半導体装置の製造方法について説明すると、ウェハ1、2に各々半導体チップ1a、1bを作り込んだ後、半導体チップ1aと半導体チップ1bと外部接続端子4との相互接続を行うための再配線3をウェハ1に形成し（S101）、絶縁樹脂6を塗布した後所定の開口を設けてランド5及び電極11を形成し、必要に応じて第2の実施例で記載した接合層9を形成する（S102）。一方、ウェハ2には、半導体チップ1aと接続するためのバンプ8形成した後（S103）、ダイシングを実施してウェハ2を分割して半導体チップ1bを得る（S104）。

【0043】

次に、バンプ8を形成した半導体チップ1bをウェハ1の所定位置に、所要の数量を順次に位置決めしてフリップチップ接合する（S105）。この後、封止樹脂7をバンプ8接合面に注入し、樹脂を硬化させた後（S106）、搭載した

半導体チップ 1 b の裏面を所定の厚さとなるように研削加工する (S 1 0 7) 。そして、研削工程終了後にランド 5 上に外部接続端子 4 を形成し (S 1 0 8) 、半導体装置の外形となるように個片に切断して半導体装置が形成される (S 1 0 9) 。ここではバンプ形成はウェハ状態で行っているが、ダイシングした後にバンプ形成を行っても良い。ウェハ状態でバンプ形成を行う場合はメッキ法、もしくはスタッドバンプ法により行い、ダイシングした後にバンプを形成する場合はスタッドバンプ法を用いる。

【 0 0 4 4 】

また、半導体装置を製造する他の方法について、図 6 を参照して説明する。まず、上述した方法と同様に、ウェハ 1、2 に各々半導体チップ 1 a、1 b を作り込んだ後、半導体チップ 1 a と半導体チップ 1 b と外部接続端子 4 との相互接続を行うための再配線 3 をウェハ 1 に形成し (S 2 0 1) 、絶縁樹脂 6 を塗布した後所定の開口を設けてランド 5 及び電極 1 1 を形成し、必要に応じて接合層 9 を形成する (S 2 0 2) 。一方、ウェハ 2 は、半導体チップ 1 a と接続するためのバンプ 8 を形成した後 (S 2 0 3) 、図 6 の方法では、ダイシングの前に裏面研磨を行い、ウェハ 2 を所望の厚さにした後 (S 2 0 4) 、ダイシングを実施して所定の大きさに切断する (S 2 0 5) 。

【 0 0 4 5 】

次に、バンプ 8 が形成され、薄く加工された半導体チップ 1 b をウェハ 1 の所定位置に、所要の数量を順次に位置決めしてフリップチップ接合する (S 2 0 6) 。この後、封止樹脂 7 をバンプ 8 接合面に注入し、樹脂を硬化させた後 (S 2 0 7) 、ランド 5 上に外部接続端子 4 を形成し (S 2 0 8) 、半導体装置の外形となるように個片に切断して半導体装置が形成される (S 2 0 9) 。

【 0 0 4 6 】

上記図 5 及び図 6 に示す 2 つの方法にはそれぞれ長所と短所がある。例えば、図 5 に示す方法では、ダイシングによって分割された半導体チップ 1 b を薄く加工する前にハンドリングしてウェハ 1 に実装するため、作業性が良好となるという長所があるが、半導体チップ 1 b を実装後に一括して研削するために、ウェハ 1 のそりやバンプ 8 による接合状態、また研削装置の加工精度等の影響により、

半導体チップ1bの厚さにばらつきが生じてしまうという短所がある。一方、図6に示す方法では、半導体チップ1bをウェハ状態のままで研削するために厚さのばらつきを低減することができるが、薄く研削された状態でハンドリングしなければならず、作業性が低下するという欠点がある。上記どちらの方法を採用するかは、製造条件、製造装置の性能、歩留まり等を勘案して適宜選択すればよい。

【0047】

なお、上述した方法では、S103でウェハ2にバンプ8を形成した後に、S104でダイシングを実施したが、これらのステップを逆にしてダイシングを実施した後にバンプ8を形成しても良い。また、前記した第2の実施例に記載したように、ランド5形成後に応力緩和効果を高めるためにビア10を形成する場合は、S107で半導体チップ1bを研磨した後、又は、S207では半導体チップ1bを樹脂封止した後、S108（S208）で外部接続端子4を形成する前にビア10の形成を行えばよい。このビア10は、通常、メッキにより形成されるが、シート状の絶縁樹脂12に固定されたビア10集合体を熱圧着などの方法によって貼付けて形成することもできる。

【0048】

また、本実施例では半導体装置を製造する2つの方法を記載したが、本発明は上記実施例に限定されるものではなく、前記した第1及び第2の実施例に記載した半導体装置の構造を実現できる方法であればよいことは明らかであり、例えば、研削に代えて、ウェットエッチング、ドライエッチング、研磨等の手法を用いることもでき、また、ウェハ2を薄く研削する代わりに、外部接続端子4を高く形成してもよい。

【0049】

【発明の効果】

以上説明したように、本発明によれば、下記記載の効果を奏する。

【0050】

本発明の第1の効果は、複数の半導体チップの実装において、実装面積および実装容積を小さくすることができ、各々の半導体チップの接続にかかる配線長を

最短とすることができるということである。

【 0 0 5 1 】

その理由は、実装基板を使用することなく、一方の半導体チップ 1 a 上に再配線を設け、外部接続端子である BGA 端子の高さより十分低くなるように薄く加工した他方の半導体チップ 1 b と外部接続端子とを同一の面に設け、再配線により、半導体チップ 1 a と半導体チップ 1 b と外部接続端子との相互接続を行っているからである。

【 0 0 5 2 】

また、本発明の第 2 の効果は、半導体チップ 1 a に接続される半導体チップ 1 b の裏面に金属突起を複数配置することにより、マザーボードへの実装時に、半導体チップ 2 が発生する熱量の放熱する効果、グランド電位を強化する効果及び半導体装置をマザーボードに実装する際の接続補強の効果を高めることができるということである。

【 0 0 5 3 】

また、本発明の第 3 の効果は、実装基板を使用することなく、再配線をウェハ上のプロセスで形成することができるため、寸法精度が高く、微細化に適し、又、資材コストを削減することができるということである。

【 0 0 5 4 】

また、本発明の第 4 の効果は、半導体チップ 1 b を半導体チップ 1 a に実装した後、裏面研削して薄く加工するため、薄い半導体チップ 1 b をハンドリングする必要がなく、作業性を向上させることができ、また、従来の方法に比べて工程数を削減することができるため、コストを低くすることができるということである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例に係る半導体装置の構造を模式的に示す断面図である。

【図 2】

本発明の第 1 の実施例に係る半導体装置の構造を模式的に示す断面図である。

【図 3】

本発明の第 2 の実施例に係る半導体装置の一部の構造を模式的に示す拡大断面図である。

【図 4】

本発明の第 2 の実施例に係る半導体装置の一部の構造を模式的に示す拡大断面図である。

【図 5】

本発明の第 3 の実施例に係る半導体装置の製造方法を示す工程図である。

【図 6】

本発明の第 3 の実施例に係る半導体装置の製造方法を示す工程図である。

【図 7】

従来の半導体装置の構造を示す断面図である。

【図 8】

従来の半導体装置の構造を示す断面図である。

【図 9】

従来の半導体装置の構造を示す断面図である。

【図 1 0】

従来の半導体装置の製造方法を示す工程図である。

【符号の説明】

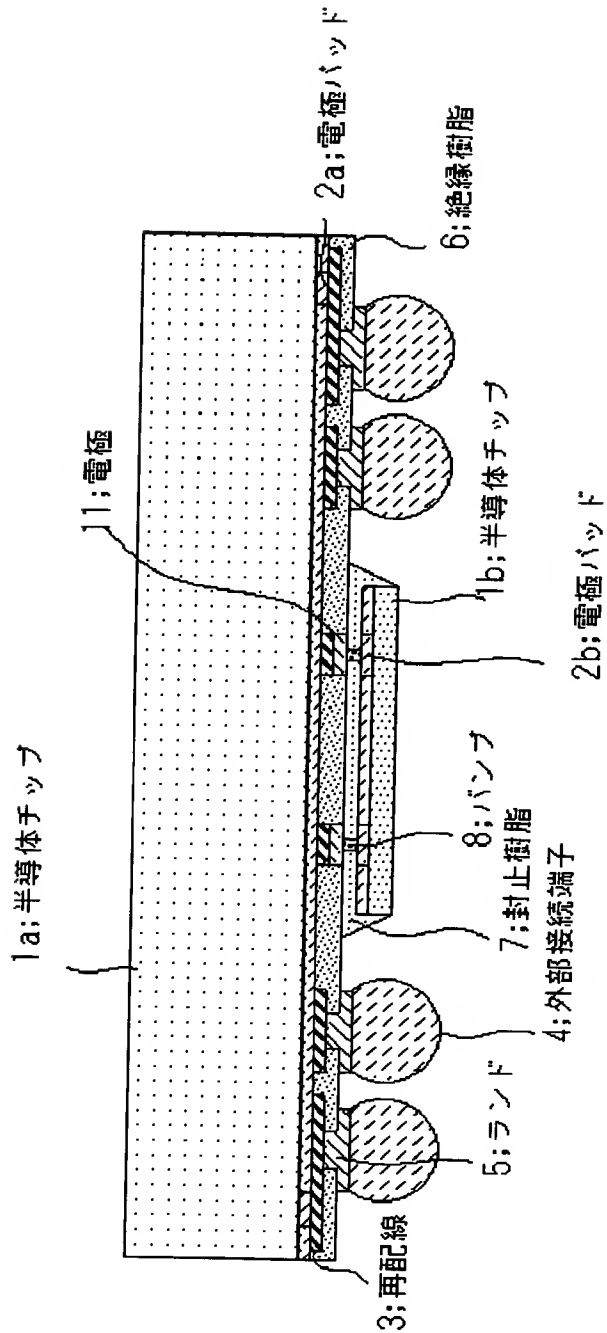
- 1 a 半導体チップ
- 1 b 半導体チップ
- 2 a、2 b 電極パッド
- 3 再配線
- 4 外部接続端子
- 5 ランド
- 6 絶縁樹脂
- 7 封止樹脂
- 8 バンプ
- 9 接合層
- 1 0 ビア

- 1 1 電極
- 1 2 突起
- 1 3 絶縁樹脂
- 1 4 実装基板
- 1 5 シリコン基板
- 1 6、1 6 a、1 6 b 半導体チップ
- 1 7 ハンダバンプ
- 1 8 外部接続端子
- 1 9 ボンディングワイヤ
- 2 0 接着剤
- 2 1 基板
- 2 2 封止樹脂
- 2 3 内部配線
- 2 4 モールド樹脂

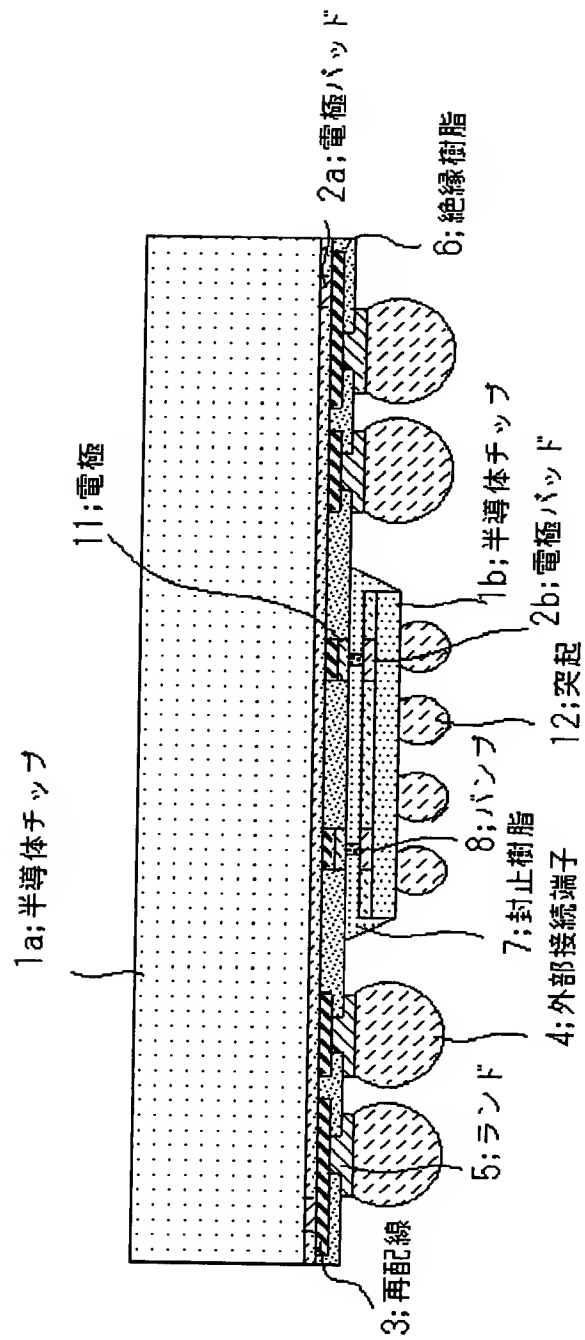
【書類名】

図面

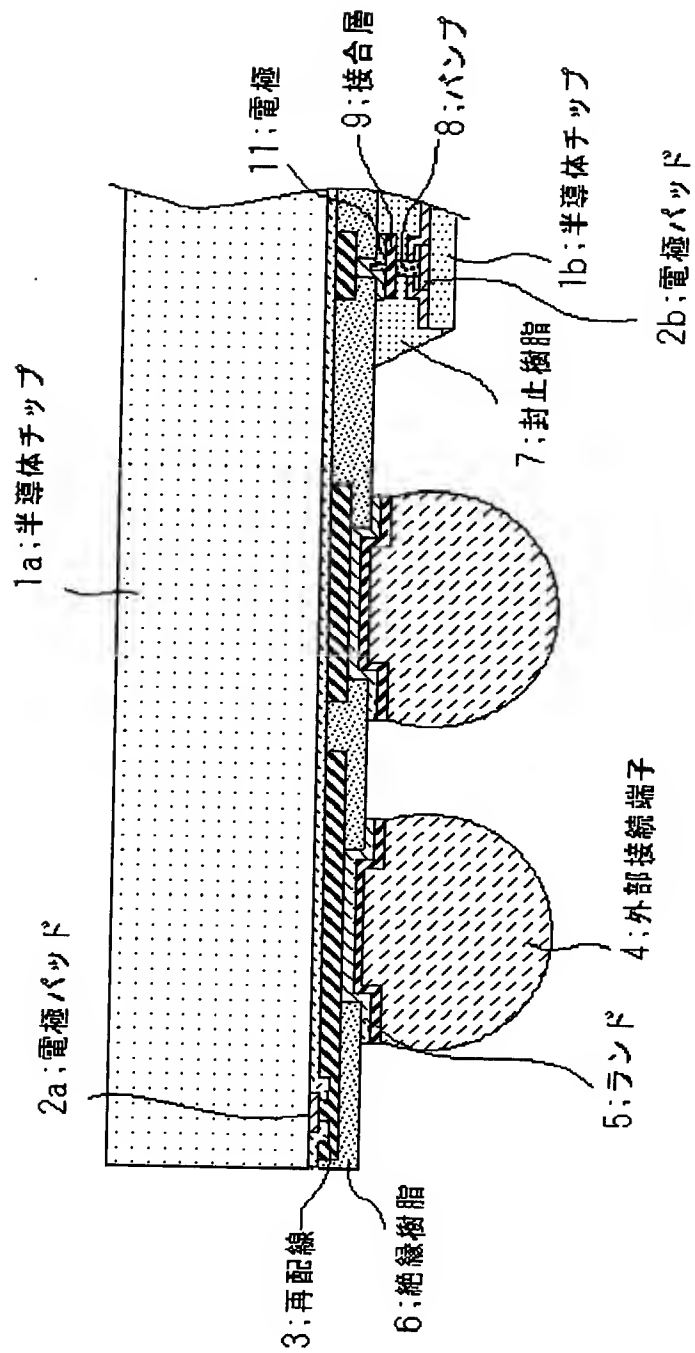
【図1】



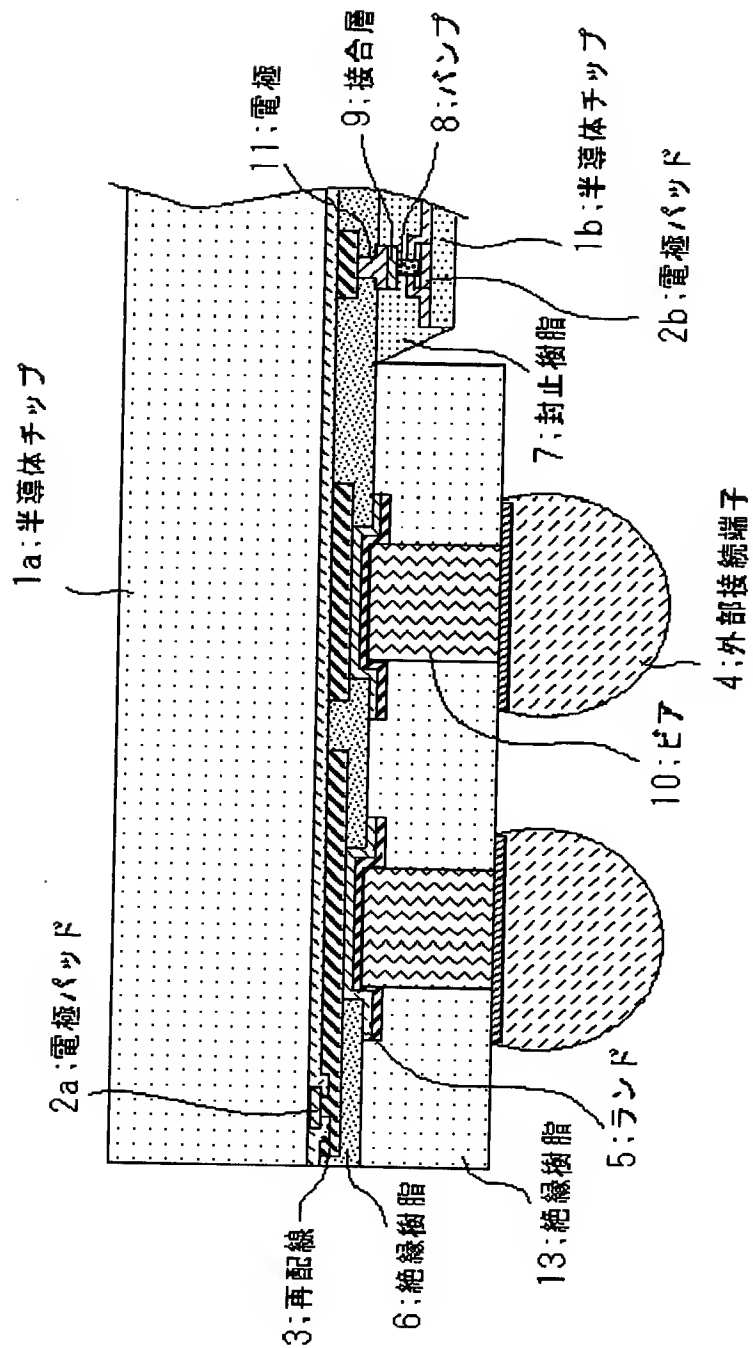
【図 2】



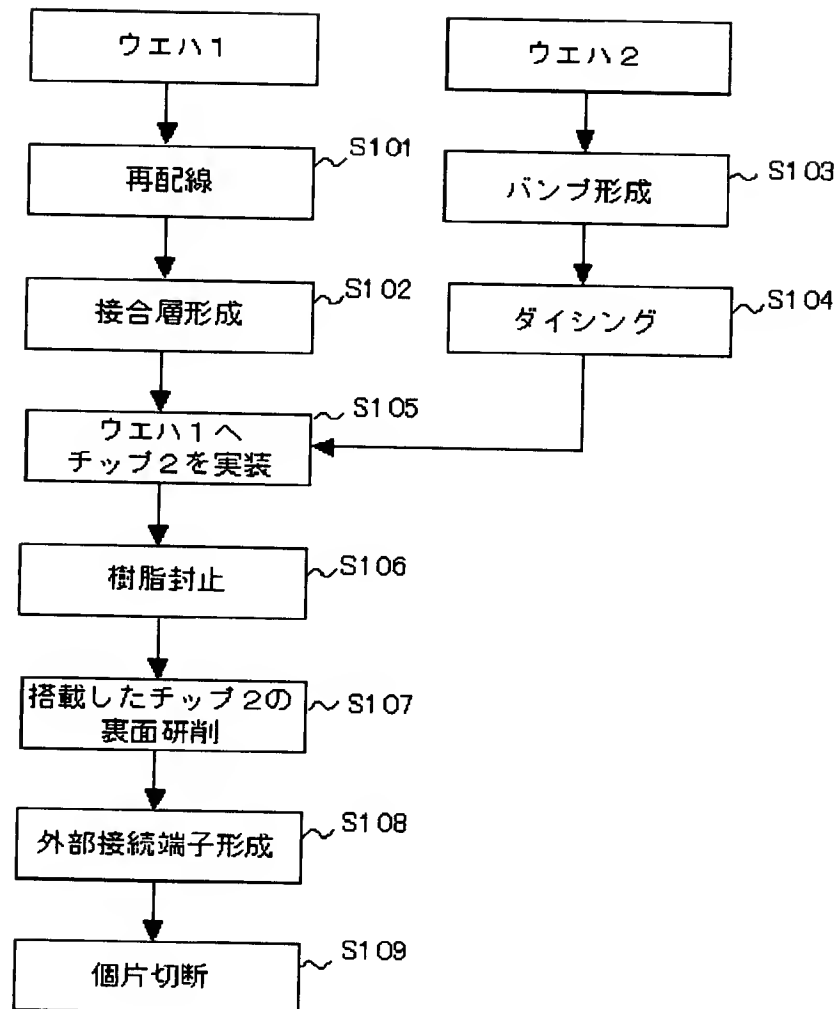
【図3】



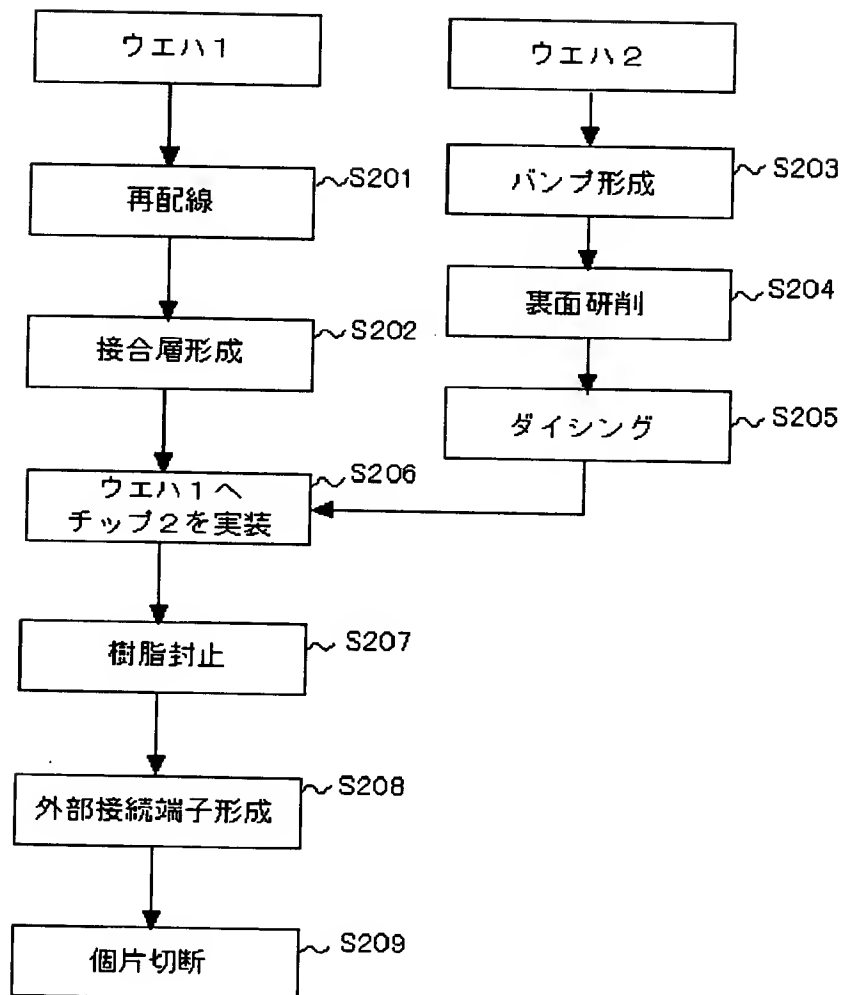
【図 4】



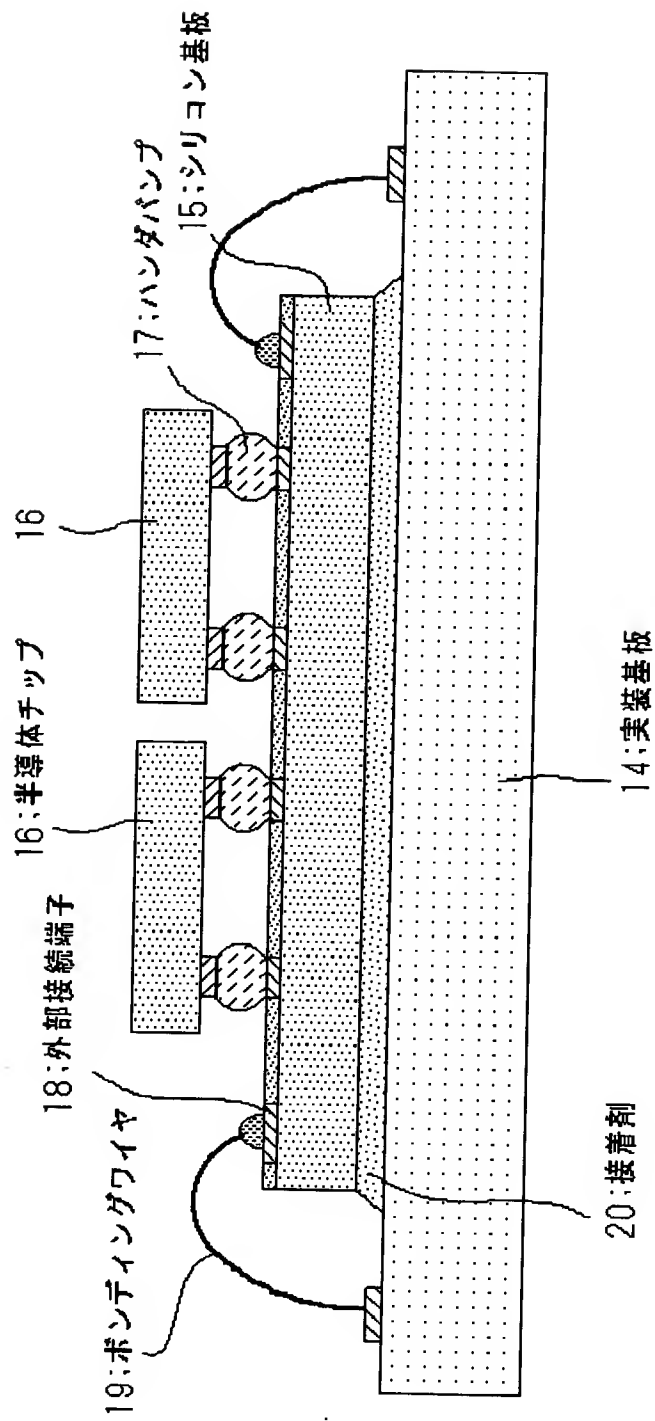
【図5】



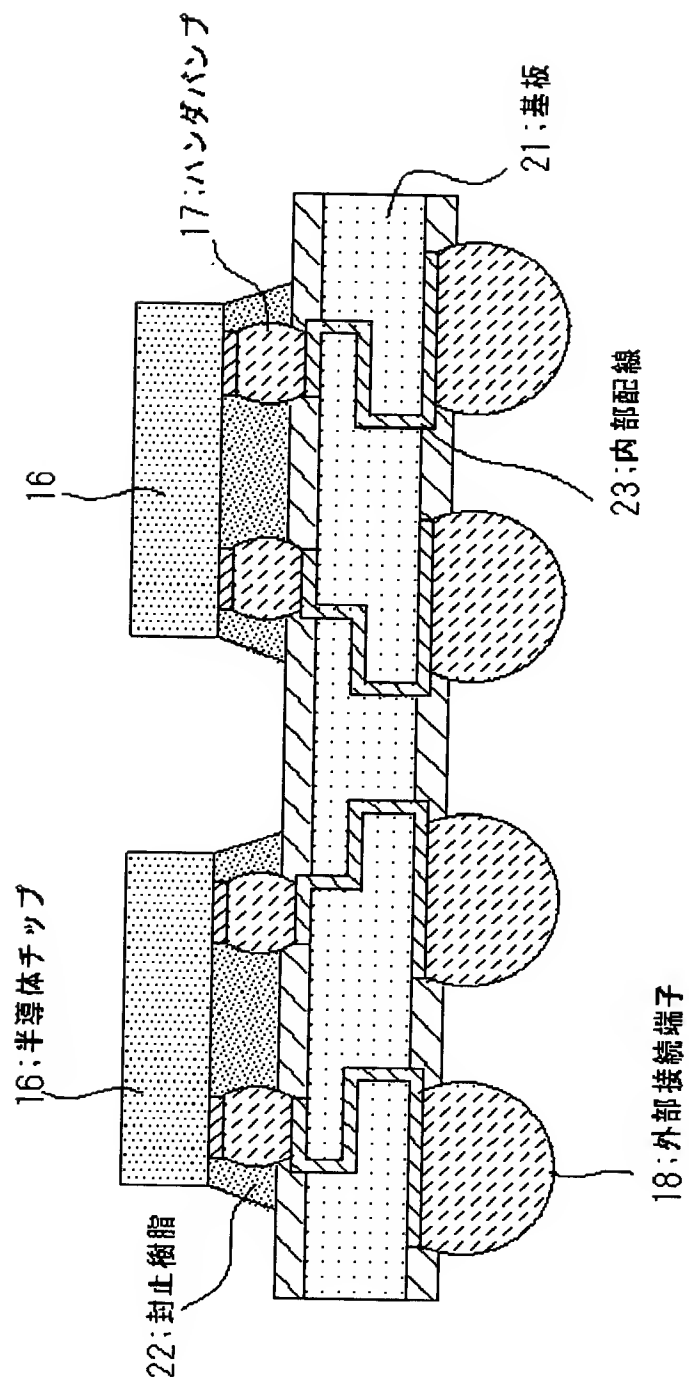
【図 6】



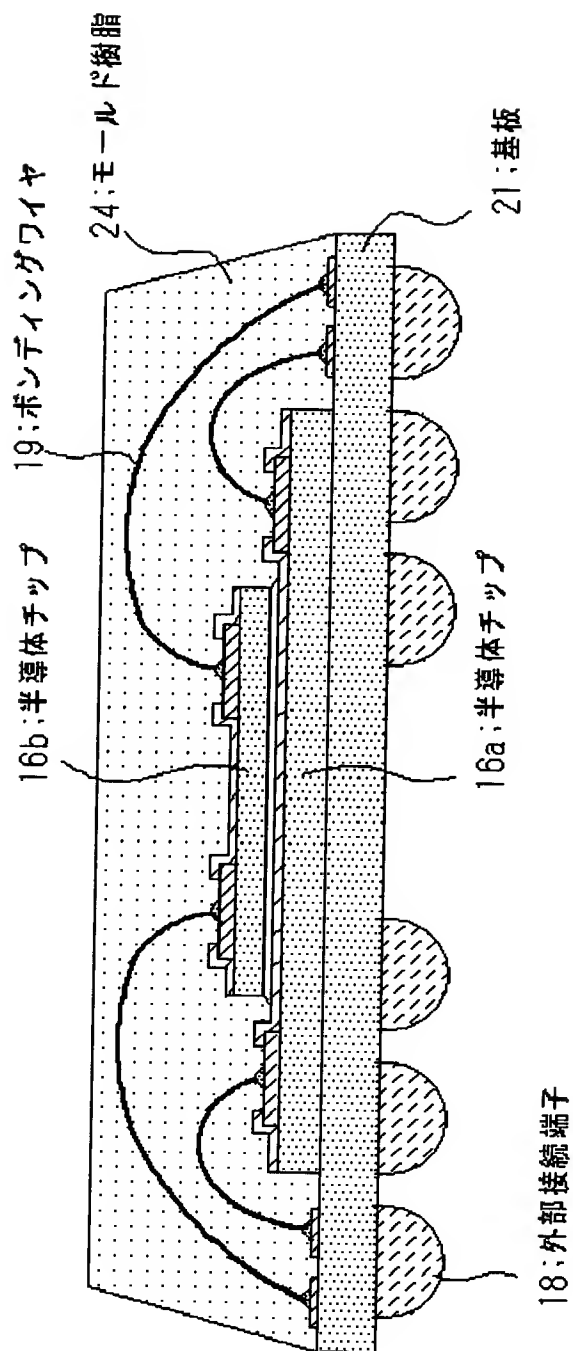
【図 7】



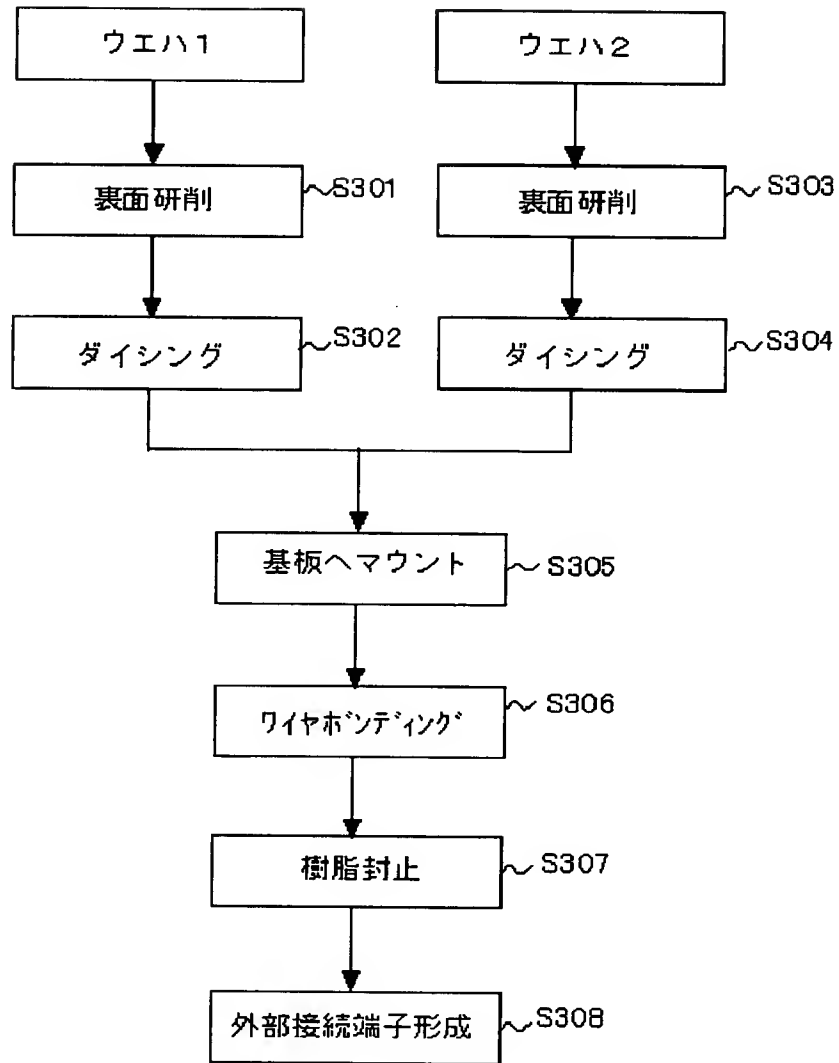
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】

複数の半導体チップを小型でかつ高密度に実装し、電氣的に最短な配線長で結線することができる半導体装置及びその製造方法の提供。

【解決手段】

半導体チップ 1 a 上に、半導体チップ 1 a と半導体チップ 1 b と外部接続端子 4 とを相互に配線する再配線 3 が形成され、再配線 3 上には、半導体チップ 1 a 周囲の外部接続端子 4 形成領域及び半導体チップ 1 a 中央の半導体チップ 1 b 実装領域に開口を有する絶縁樹脂 6 が設けられ、外部接続端子 4 形成領域の開口にはランド 5 を介して B G A からなる外部接続端子 4 が形成され、半導体チップ 1 b の実装領域の開口には電極 1 1 及びバンプ 8 を介して半導体チップ 1 b がフリップチップ接続され、バンプ 8 接合面は封止樹脂 7 により封止されるものであり、半導体チップ 1 b は、外部接続端子 4 と同一面に実装され、かつ、外部接続端子 4 よりも低くなるように裏面が研削され、高密度に実装される。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社